

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Tetsuji YAMASHITA

Serial No.: New Application

Filed: December 17, 2003

For: SWITCHING POWER SUPPLY

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln. No. 2002-369086 filed December 20, 2002.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.


Charles A. Wendel

Registration No. 24,453

December 17, 2003
Date

CAW/ame
Attorney Docket No. YMOR:301
PARKHURST & WENDEL, L.L.P.
1421 Prince Street, Suite 210
Alexandria, Virginia 22314-2805
Telephone: (703) 739-0220

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年12月20日

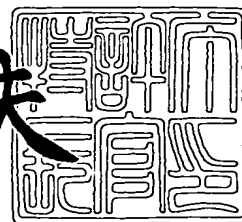
出願番号
Application Number: 特願2002-369086
[ST. 10/C]: [JP2002-369086]

出願人
Applicant(s): 松下電器産業株式会社

2003年11月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3096647

【書類名】 特許願

【整理番号】 2926940012

【提出日】 平成14年12月20日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/335

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 山下 哲司

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100068087

【弁理士】

【氏名又は名称】 森本 義弘

【電話番号】 06-6532-4025

【手数料の表示】

【予納台帳番号】 010113

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチング電源装置

【特許請求の範囲】

【請求項 1】 トランスの一次側に入力された直流電圧をオンオフしてスイッチングするスイッチング素子と、前記スイッチング動作により前記トランスを介してその二次側に発生した直流出力電圧の変動に応じて、前記スイッチング動作を制御する制御回路と、前記制御回路により前記スイッチング動作を制御するために、前記直流出力電圧に比例する電流を、前記制御回路に伝達する伝達回路とを有し、前記制御回路により前記スイッチング動作を制御して、前記直流出力電圧を安定化するように構成したスイッチング電源装置において、前記制御回路に、その制御端子に接続され、前記伝達回路からの前記制御端子の電流を電圧に変換する I-V 変換器と、前記 I-V 変換器の変換電圧レベルにより、前記スイッチング動作に対して、通常負荷動作あるいは軽負荷動作を決定する比較器と、前記 I-V 変換器の変換電圧レベルが、前記軽負荷動作に対応して所定の基準電圧に比べて高く設定された待機時検出上限電圧よりも大きくなったときに、前記スイッチング動作を停止させ、その停止により、前記 I-V 変換器の変換電圧レベルが、前記スイッチング動作の停止に対応して前記所定の基準電圧に比べて低く再設定された待機時検出下限電圧よりも小さくなったときに、前記スイッチング動作を再開させる待機時検出回路とを設けたことを特徴とするスイッチング電源装置。

【請求項 2】 前記待機時検出回路に、前記負荷の動作状態に応じて、前記 I-V 変換器の変換電圧レベルの比較対象となる待機時検出上限電圧あるいは待機時検出下限電圧を出力する基準電圧源と、前記 I-V 変換器の変換電圧と前記基準電圧源の各出力電圧とを比較する待機時検出比較器とを設け、前記待機時検出回路は、前記基準電圧源の出力電圧を、前記待機時検出比較器の出力信号によって、前記待機時検出上限電圧と前記待機時検出下限電圧とに変化させるよう構成したことを特徴とする請求項 1 に記載のスイッチング電源装置。

【請求項 3】 前記待機時検出回路の基準電圧源からの各出力電圧を任意に設定するための検出電圧変更用端子を設けたことを特徴とする請求項 2 に記載の

スイッチング電源装置。

【請求項 4】 前記検出電圧変更用端子とグランド間に抵抗器を接続したことを特徴とする請求項 3 に記載のスイッチング電源装置。

【請求項 5】 前記スイッチング素子と前記制御回路とを同一半導体基板上に集積化して 1 チップの半導体装置として構成したことを特徴とする請求項 1 から請求項 4 のいずれかに記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スイッチング動作により得られた直流出力電圧を負荷に供給する際に、その直流出力電圧をスイッチング動作を制御して安定化するスイッチング電源装置に関するものである。

【0002】

【従来の技術】

従来から、例えばパソコンなどの O A 機器に組み込まれる電源装置として、直流入力電圧に対してスイッチング素子によりスイッチングし、そのスイッチング動作によりトランスを介して発生した交流電圧を整流平滑して直流電圧を出力し、その直流出力電圧を負荷に供給する際に、制御回路により、直流出力電圧の変動に応じてスイッチング素子のスイッチング動作を制御して、直流出力電圧を安定化するスイッチング電源装置が、広く利用されている。

【0003】

以上のような従来のスイッチング電源装置（例えば、特許文献 1 を参照）について、図面を参照しながら以下に説明する。

図 7 は従来のスイッチング電源装置におけるスイッチング制御部の一構成例を示す回路ブロック図である。図 7 に示すように、スイッチング制御部 62 は、パワー MOS FET などのスイッチング素子 1 と、スイッチング素子 1 のスイッチング制御を行うための制御回路とが、同一半導体基板上に集積化されており、スイッチング素子 1 の入力端子 53 と出力端子 54、過電圧保護検出および起動電圧検出用の端子 55、制御回路の電源端子 56、リモートオン／オフ検出および

過負荷・過電流異常時保護検出用の端子57、重負荷検出用の端子58、制御信号を入力するための制御端子59、トランスのバイアス巻線電圧検出用の端子60、およびスイッチング素子1のスイッチング周波数を決定するコンデンサを接続するための端子61の9端子を有する半導体装置（以下、スイッチング制御部は半導体装置と記す）により構成されている。

【0004】

半導体装置62において、レギュレータ6は、スイッチング素子1の入力端子53、起動電圧検出用の端子55および制御回路の電源端子56との間に接続されており、スイッチング素子1の入力端子53の電圧が一定値以上になったときに、半導体装置62の内部回路電流を供給して、レギュレータ用比較器8により、半導体装置62用の電源端子56の電圧が一定値になるように制御している。起動／停止用比較器7の出力は、AND回路18へ入力され、その出力信号はNAND回路51へ入力されており、端子55の電圧の大きさによって、スイッチング素子1の発振（スイッチング動作）およびその停止を制御している。

【0005】

9は過電圧保護回路であり、トランスのバイアス巻線から整流器を介して電圧を検出することにより、トランスの二次側からの出力電圧が上昇し過ぎた時に、NAND回路20がRSフリップフロップ21のセット端子（S）へ信号を出力し、スイッチング素子1の動作をラッチモードで停止させる。過電圧保護からの動作復帰は、再起動トリガ信号22がRSフリップフロップ21のリセット端子（R）に出力された時に行われる。

【0006】

10は過熱保護回路であり、半導体装置62のチップ温度が設定値以上になると、NAND回路20がRSフリップフロップ21のセット端子（S）へ信号を出力し、スイッチング素子1の動作を停止させる。過熱保護からの動作復帰は、再起動トリガ信号22がRSフリップフロップ21のリセット端子（R）に出力された時に行われる。

【0007】

15はクランプ回路であり、通常時、端子57の電位が一定値になるように制

御している。

17 はリモートオン／オフ検出回路であり、端子57の電位を半導体装置62の外部で制御することにより、スイッチング素子1を強制的に停止させたり（リモートオフという）、あるいは、動作状態に復帰させたり（リモートオンという）させることができる。

【0008】

端子58には半導体装置62の外部から抵抗器を接続するため、定電流源23により定電圧に設定されている。また、この電圧が重負荷検出回路24へ入力され、重負荷状態のレベルとして設定される。

【0009】

26はクランプ回路であり、制御端子59に接続されており、制御端子59には半導体装置62の外部からフォトカプラなどを接続するため、一定電位に設定されている。27はI-V変換器であり、制御端子59から流出する電流を電圧に内部変換する。

【0010】

トランスのバイアス巻線電圧を検出する端子60には、ハイサイドクランプ30、およびローサイドクランプ31が接続され、半導体装置62の内部に入力される電圧を制限している。また、端子60にはトランスリセット検出回路32が接続されており、ワンショットパルス発生回路33により、スイッチング素子1のターンオン信号のタイミングを決定している。

【0011】

19はスタートパルス発生回路であり、起動／停止用比較器7の出力信号、つまり起動信号、およびリモートオン／オフ検出回路17の出力信号、つまりリモートオン信号のAND回路18の出力信号により出力を発生し、OR回路34、AND回路68を通して、RSフリップフロップ43のセット端子（S）に入力され、その出力QはNAND回路51へ入力される。

【0012】

端子61には半導体装置62の外部からコンデンサが接続されるが、起動前の端子61の電位はハイサイド強制クランプ38により、ある電位に固定されてい

る。起動後の端子 61 はスタートパルス信号、通常動作中はワンショットパルス信号により、AND 回路 68 を介して、RS フリップフロップ 43 の出力信号 Q が H となり、スイッチング素子 1 をターンオン状態にする。その時同時に、端子 61 の電位は、ハイサイドクランプ電位から低下する。

【0013】

また、RS フリップフロップ 43 の出力信号によりスイッチ 46 がオンし、端子 61 に充電されている電荷が定電流源 47 により放電され、端子 61 の電位が比較器 40 により I-V 変換器 27 で内部変換された電圧値以下になったことが検出されると、OR 回路 41 を介して N 型 MOSFET 42 がオンし、端子 61 の電荷が強制的に放電される。

【0014】

また、端子 61 の電位が比較器 35 により一定電位（バンドギャップ電圧）以下になったことが検出されると、OR 回路 36 を介して RS フリップフロップ 43 のリセット端子（R）に H 信号が入力され、スイッチング素子 1 はターンオフする。この時、スイッチ 45 がオンし、定電流源 44 により、端子 61 に外付けされたコンデンサに充電が開始される。

【0015】

端子 61 の電位が比較器 37 により一定電圧（重負荷時：約 2.5 V）あるいは I-V 変換器 27 により電圧変換した電圧（軽負荷時）以上まで上昇したことが検出されると、比較器 37 の出力信号により P 型 MOSFET 39 がオン状態となり、端子 61 の電位がハイサイド強制クランプ状態に入り、端子 61 はある電圧に固定される。この後、ワンショットパルス発生回路 33 の出力信号が OR 回路 34 に入力されれば、スイッチング素子 1 はターンオンへと移行する。

【0016】

このように、制御端子 59 からの流出電流により内部電圧変換された I-V 変換器 27 の出力電圧と、端子 61 の電圧、およびトランスのバイアス巻線電圧を検出してスイッチング素子 1 のターンオンするタイミングを決定するトランスリセット検出回路 32 の出力によりワンショットパルスを発生するワンショットパルス発生回路 33 の出力信号とによって、スイッチング素子 1 のオン／オフ期間

は決定される。また、端子 61 に外付けするコンデンサの容量値により、スイッチング素子 1 の動作周波数が決定される。

【0017】

また、リモートオン／オフ検出用の端子 57 には、半導体装置 62 の外部からコンデンサが接続されるが、重負荷時には、AND 回路 29 の出力 Timer により、P 型 MOSFET 12 がオンし、定電流源 11 により、端子 57 に外付けされたコンデンサに電流が充電される。また、過電流保護検出用比較器 48 等からなる過電流保護回路が動作している時、AND 回路 50 の出力 OC により、P 型 MOSFET 14 がオンし、定電流源 13 により、同様に、端子 57 に外付けされたコンデンサに電流が充電される。

【0018】

過負荷状態、あるいは、過電流保護が機能する状態が継続すると、端子 57 に接続されたコンデンサの電位が上昇し、過負荷および過電流異常時保護回路 16 により、NAND 回路 20 が RS フリップフロップ 21 のセット端子 (S) へ信号を出力し、スイッチング素子 1 の動作を停止させる。過負荷保護、および、過電流異常保護からの動作復帰は、再起動トリガ信号 22 が出力された時に行われる。

【0019】

また、図 8 は制御端子 59 に接続されているクランプ回路 26、I-V 変換器 27、およびソフトスタート発生回路 25 の一例を示した回路図である。図 8 において、クランプ回路 26 は、定電流源 209 および抵抗器 211、NPN 型バイポーラトランジスタ 210、N 型 MOSFET 212 および 213 で構成され、制御端子 59 は一定の電位に設定されている。また、I-V 変換器 27 は、定電圧源 201、NPN 型バイポーラトランジスタ 202、抵抗器 203、および N 型 MOSFET 206 により構成されている。

【0020】

また、定電流源 215 は、制御端子 59 がグランドとショートしたときに電流制限をかけるためのものであり、また、定電流源 218 は、制御端子 59 に外付けするフォトカプラの暗電流を無視するためのものである。

【0021】

また、ソフトスタート発生回路25は、P型MOSFET219、N型MOSFET220、抵抗器221、コンデンサ222、およびスタート信号より構成されている。

【0022】

以上のように構成されたI-V変換器27周辺部の動作であるが、簡単に重負荷時および軽負荷時に分けて説明する。なお、ここではソフトスタートの説明は一般的なものであるので省略する。

【0023】

起動後、スタート信号はLレベルであるため、N型MOSFET220はオフ状態であり、P型MOSFET219はオン状態である。まず、重負荷時、制御端子59からの流出電流は非常に少なく、P型MOSFET216に流れる電流は少なくなり、ミラー回路によるP型MOSFET217に流れる電流も少なくなる。そのため、N型MOSFET207およびN型MOSFET208で構成されたミラー回路に流れる電流もともに少なくなり、定電流源204により流れる電流は大部分がN型MOSFET205へ流れる。

【0024】

したがって、ミラー回路によりN型MOSFET206に多くの電流が流れるため、その電流値をI、定電圧源201の電圧値をV、NPN型バイポーラトランジスタ202のVF値をVF、また、抵抗器203の抵抗値をRとすると、I-V変換器27の出力電圧VFBは、

$$VFB = V - VF - R \times I \quad \cdots \cdots \text{(式1)}$$

となるが、この時、VFBは、小さな値になる。

【0025】

しかし、軽負荷の時には、制御端子59からの流出電流は多く、そのため、最終的にN型MOSFET206に流れる電流Iは小さな値になる。したがって、軽負荷の時には、(式1)で表されるVFBは、大きな値に変換される。

【0026】

図9は図7に示した従来のスイッチング制御部（半導体装置として構成）62を用いて構成したスイッチング電源装置の一構成例を示す回路ブロック図である。このスイッチング電源装置では、商用の交流電源が、ダイオードブリッジなどの整流器101により整流されて、入力コンデンサ102にて平滑化されることにより直流電圧VINとされて、電力変換用のトランス103に与えられている。

【0027】

トランス103は、一次巻線103aと二次巻線103bと三次巻線（バイアス巻線）103cを有しており、直流電圧VINが一次巻線103aに与えられる。

【0028】

トランス103の一次巻線103aに与えられた直流電圧は、半導体装置62内のスイッチング素子1によりスイッチングされる。そして、そのスイッチング素子1のスイッチング動作によって、トランス103の二次巻線103bに交流電流が取り出される。

【0029】

トランス103の二次巻線103bに取り出された交流電流は、二次巻線103bに接続されたダイオード104およびコンデンサ105により整流および平滑化され、出力電圧VOの直流電力として負荷109へ供給される。

【0030】

コンデンサ105の両端には、例えばLED107およびツェナーダイオード108で構成された出力電圧検出回路106が接続されており、出力電圧VOを安定化させるための帰還信号を、半導体装置62の制御端子59に接続されている一次側のフォトトランジスタ110へ出力している。

【0031】

また、トランス103の三次巻線（バイアス巻線）103cには、バイアス巻線電圧検出用の端子60およびダイオード113を介して、起動電圧検出および過電圧検出用の端子55に接続されている。

【0032】

また、コンデンサ 111、112 は、それぞれ、端子 55 および制御回路の電源電圧用の端子 56 が急激に低下しないようにするもの、つまり安定化させるものであり、端子 57 に接続されたコンデンサ 114 は、過負荷および過電流異常時にスイッチング素子 1 をラッチモードで停止させるものである。

【0033】

また、端子 58 には重負荷レベル設定用の抵抗器 115 が接続され、端子 61 に接続されたコンデンサは、スイッチング素子 1 のスイッチング周波数を決定するためのものである。スイッチング素子 1 の入出力用の端子 53、54 間に接続されたコンデンサ 117 は、トランス 103 とによる共振の大きさおよび周期を決定するためのものである。

【0034】

以上のように構成されたスイッチング制御部およびスイッチング電源装置の動作を以下に説明する。

整流器 101 に商用電源から交流電源が入力されると、整流器 101 とコンデンサ 102 とにより整流および平滑化されて、直流電圧 V_{IN} に変換される。この直流電圧 V_{IN} がトランス 103 の一次巻線 103a に印加される。

【0035】

そして、直流電圧 V_{IN} が一定値以上になると、半導体装置 62 内のレギュレータ 6 を介して、コンデンサ 111 および 112 に充電電流が流れ、半導体装置 62 の電源端子 56 の電圧が一定のレベルに達して、その内部回路が起動し、さらに、端子 55 の電圧が起動／停止用比較器 7 で設定された起動電圧に達すると、スイッチング素子 1 によるスイッチング動作の制御が開始される。

【0036】

起動前、端子 61 はハイサイド強制クランプ 38 により、ある電位に固定されている。起動／停止用比較器 7 からの信号により、スタートパルス発生回路 19 からスタートパルスが発生し、スイッチング素子 1 がターンオンする。このとき、スイッチ 46 がオンし、定電流源 47 により、端子 61 に接続されているコンデンサ 116 の電荷が放電され、端子 61 の電位は徐々に低下していく。また、

二次側の直流出力電圧 V_O は、起動時は低いため、出力電圧検出回路 106 のツェナーダイオード 108 には電流が流れず、そのためフォトランジスタ 110 には電流が流れない。

【0037】

しかし、半導体装置 62 の制御端子 59 の内部では、図 8 に示すソフトスタート発生回路 25 により、そのコンデンサ 222 に充電電流が流れるため、 $I-V$ 変換器 27 で $I-V$ 変換された電圧 V_{FB} は、(式 1) の計算式により高い値になっている。端子 61 の電圧が電圧 V_{FB} よりも低下すると、比較器 40 の出力信号により N 型 MOSFET 42 がオンし、端子 61 に接続されているコンデンサ 116 の電荷は強制放電される。

【0038】

この端子 61 の電圧が、ある電位（バンドギャップ電圧）以下になったことを、比較器 35 により検出すると、RS フリップフロップ 43 のリセット端子（R）に H 信号が入力され、スイッチング素子 1 はターンオフする。この時、スイッチ 45 がオンし、端子 61 に接続されたコンデンサ 116 に、定電流源 44 からの定電流充電が始まる。そして、比較器 37 によって、ある電圧（重負荷時：約 2.5 V）あるいは V_{FB} 電圧（軽負荷時）以上になると、P 型 MOSFET 39 がオンし、端子 61 の電位は、ハイサイド強制クランプ 38 により、内部設定されたある電位に固定される。

【0039】

この後、トランス 103 のリーケージインダクタンスとコンデンサ 117 およびスイッチング素子 1 の容量で決定される共振動作により、トランス 103 の三次巻線（バイアス巻線）103c の電圧が正から負、つまり、スイッチング素子 1 の入力端子 53 の電圧が低下したときに、トランスリセット検出回路 32 により、ワンショットパルス発生回路 33 の出力が、OR 回路 34 および AND 回路 68 を介して、RS フリップフロップ 43 のセット端子（S）に H 信号が入力され、スイッチング素子 1 はターンオンする。

【0040】

以上のようなスイッチング動作が繰り返されて、直流出力電圧 V_O が上昇して

いくが、出力電圧検出回路 106 で設定された電圧以上になると、LED 107 が導通し、フォトランジスタ 110 に電流が流れるようになる。そして、フォトランジスタ 110 の電流、すなわち半導体装置 62 の制御端子 59 からの流出電流が発生し、スイッチング素子 1 のオンデューティは適切な状態に変化していく。

【0041】

つまり、スイッチング素子 1 によるスイッチング動作は、トランスリセット検出回路 32 の出力信号でワンショットパルス発生回路 33 から出力されたワンショットパルスによりターンオンし、スイッチング素子 1 のオンデューティは制御端子 59 から流出する電流により決定される。

【0042】

すなわち、図 10 のタイムチャートに示すように、負荷 109 への電流供給が小さい軽負荷時（図 10（b）に示す場合）には、スイッチング素子 1 に電流が流れる期間が短くなり、重負荷時（図 10（a）に示す場合）には、スイッチング素子 1 に電流が流れる期間が長くなる。このように、半導体装置 62 は、スイッチング電源の負荷 109 に供給される電流に応じて、スイッチング素子 1 のオンデューティを変化させるといった制御を行う。

【0043】

また、スイッチング素子 1 のターンオンするタイミングは、共振動作中にスイッチング素子 1 の入力電圧が最も低下したときに出力するように設定されているため、オン時のスイッチングロスがほとんどない。つまり、オン時のスイッチングロスを無視できるような部分共振動作を行う。

【0044】

このような動作を行うことで、通常動作の高効率、また、低ノイズが実現できる。

【0045】

【特許文献 1】

特開平 10-304658 号公報

【0046】

【発明が解決しようとする課題】

しかしながら上記のような従来のスイッチング電源装置では、待機時などの軽負荷時には、スイッチング素子に流れる電流が低減されるようになっているが、半導体装置で構成されるスイッチング制御部の内部回路電流は、スイッチング素子のスイッチング動作によりトランスを介して供給する必要があり、このスイッチング素子に流れる電流をゼロにすることはできないため、無負荷時でも、ある大きさの電流が流れてしまう。

【0047】

従って、無負荷時でも、スイッチング素子1でのスイッチング動作によって損失が発生することになり、負荷が軽くなるほどこのスイッチング素子1での損失の割合が大きくなり、電源の効率が低下するため、電源の待機時の省電力化という要望を実現できないという問題点を有していた。

【0048】

本発明は、上記従来の問題点を解決するもので、待機時におけるスイッチング動作期間を減少し、スイッチング動作時における電流損失を軽減することができ、電源からの出力待機時の消費電力を削減し、電源効率を改善することができるスイッチング電源装置を提供する。

【0049】**【課題を解決するための手段】**

上記の課題を解決するために、本発明の請求項1に記載のスイッチング電源装置は、トランスの一次側に入力された直流電圧をオンオフしてスイッチングするスイッチング素子と、前記スイッチング動作により前記トランスを介してその二次側に発生した直流出力電圧の変動に応じて、前記スイッチング動作を制御する制御回路と、前記制御回路により前記スイッチング動作を制御するために、前記直流出力電圧に比例する電流を、前記制御回路に伝達する伝達回路とを有し、前記制御回路により前記スイッチング動作を制御して、前記直流出力電圧を安定化するように構成したスイッチング電源装置において、前記制御回路に、その制御端子に接続され、前記伝達回路からの前記制御端子の電流を電圧に変換するI-V変換器と、前記I-V変換器の変換電圧レベルにより、前記スイッチング動作に

対して、通常負荷動作あるいは軽負荷動作を決定する比較器と、前記 I-V 変換器の変換電圧レベルが、前記軽負荷動作に対応して所定の基準電圧に比べて高く設定された待機時検出上限電圧よりも大きくなったときに、前記スイッチング動作を停止させ、その停止により、前記 I-V 変換器の変換電圧レベルが、前記スイッチング動作の停止に対応して前記所定の基準電圧に比べて低く再設定された待機時検出下限電圧よりも小さくなったときに、前記スイッチング動作を再開させる待機時検出回路とを設けた構成としたことを特徴とする。

【0050】

また、本発明の請求項 2 に記載のスイッチング電源装置は、請求項 1 に記載のスイッチング電源装置であって、前記待機時検出回路に、前記負荷の動作状態に応じて、前記 I-V 変換器の変換電圧レベルの比較対象となる待機時検出上限電圧あるいは待機時検出下限電圧を出力する基準電圧源と、前記 I-V 変換器の変換電圧と前記基準電圧源の各出力電圧とを比較する待機時検出比較器とを設け、前記待機時検出回路は、前記基準電圧源の出力電圧を、前記待機時検出比較器の出力信号によって、前記待機時検出上限電圧と前記待機時検出下限電圧とに変化させるよう構成したことを特徴とする。

【0051】

また、本発明の請求項 3 に記載のスイッチング電源装置は、請求項 2 に記載のスイッチング電源装置であって、前記待機時検出回路の基準電圧源からの各出力電圧を任意に設定するための検出電圧変更用端子を設けた構成としたことを特徴とする。

【0052】

また、本発明の請求項 4 に記載のスイッチング電源装置は、請求項 3 に記載のスイッチング電源装置であって、前記検出電圧変更用端子とグランド間に抵抗器を接続したことを特徴とする。

【0053】

また、本発明の請求項 5 に記載のスイッチング電源装置は、請求項 1 から請求項 4 のいずれかに記載のスイッチング電源装置であって、前記スイッチング素子と前記制御回路とを同一半導体基板上に集積化して 1 チップの半導体装置として

構成したことを特徴とする。

【0054】

以上により、待機時検出回路により、I-V変換器の出力電圧が、基準電圧源からの待機時検出上限電圧よりも大きくなった待機モード開始時点で、スイッチング素子のスイッチング動作を停止させ、その停止により、I-V変換器の出力電圧が、電源出力電圧とともに下降して、基準電圧源からの待機時検出下限電圧よりも小さくなった時点で、スイッチング素子のスイッチング動作を再開させることができる。

【0055】

【発明の実施の形態】

以下、本発明の実施の形態を示すスイッチング電源装置について、図面を参照しながら具体的に説明する。

【0056】

図1は本実施の形態のスイッチング電源装置におけるスイッチング制御部の一構成例を示す回路ブロック図である。なおここでは、図7に示すスイッチング制御部と同一の構成要素については、同一の符号を付して説明を省略する。図1に示すスイッチング制御部62は、図7に示すスイッチング制御部と同様に、半導体装置（以下、スイッチング制御部は半導体装置と記す）として構成され、この半導体装置62には、制御端子59から流出する電流を電圧変換したI-V変換器27の出力が与えられる待機時検出回路71が設けられている。

【0057】

この待機時検出回路71には、待機時検出用比較器63が設けられている。待機時検出用比較器63のプラス（+）端子への入力としては、I-V変換器27から出力される出力電圧VFBが与えられており、マイナス（-）端子への入力としては、基準電圧源65から出力される基準電圧VRが与えられている。待機時検出用比較器63は、入力されるI-V変換器27の出力電圧VFBと基準電圧VRとを比較して、出力電圧VFBが基準電圧VRを上回った場合に、AND回路64に所定の出力信号VO1を出力するようになっている。

【0058】

また、待機時検出用比較器 63 の出力信号 VO1 は、基準電圧源 65 にも与えられており、基準電圧源 65 は、待機時検出用比較器 63 の出力信号 VO1 を受けて出力電圧 VR が変化するようにになっている。

【0059】

一方、AND 回路 64 には、トランスリセット検出回路 32 がトランスリセット検出用の端子 60 の電圧を検出して出力するクロック信号が、他の入力として与えられており、この AND 回路 64 の出力が、ワンショットパルス発生回路 33 に与えられている。

【0060】

待機時検出回路 71 による待機時検出時、つまり、スイッチング素子 1 によるスイッチング動作の停止時には、その停止時間によって共振動作の振幅が小さくなり、トランスリセット信号を検出できなくなる恐れがあるため、あらかじめワンショットパルス発生回路 33 が機能しないようにしている。

【0061】

また、待機時検出用比較器 63 の出力電圧 VO1 は間欠（停止）終了パルス発生回路 66 にも入力されているが、停止期間終了後、間欠終了パルス発生回路 66 の出力が OR 回路 34 に入力され、その出力信号は、AND 回路 68 を介して RS フリップフロップ 43 のセット信号として入力される。RS フリップフロップ 43 の Q 端子からの出力信号は NAND 回路 51 に入力され、その出力は、ゲートドライバ 52 を通してスイッチング素子 1 のゲートに出力される。

【0062】

このように、待機時検出用比較器 63 により待機状態を検出すると、トランスリセット検出回路 32 からの動作が作用しないようにし、待機時の間欠終了パルス発生回路 66 の出力信号により、スイッチング素子 1 のスイッチング動作を再開させるようスイッチングが制御される。

【0063】

図 2 は本実施の形態のスイッチング電源装置の一構成例を示す回路ブロック図であり、図 1 のスイッチング制御部を構成する半導体装置を用いて構成されている。なおここでは、図 9 に示すスイッチング電源装置と同一の構成要素について

は、同一の符号を付して説明を省略する。図 9 との違いは、半導体装置 62 の内部構成のみであり、他の構成は全て同一となっている。

【0064】

以上のように構成されたスイッチング電源装置、およびスイッチング電源装置の軽負荷時における動作を、図 3 のタイムチャートに基づいて説明する。

待機時検出用比較器 63 は、制御端子 59 から流出する電流を電圧変換した I-V 変換器 27 の出力電圧 VFB と基準電圧源 65 の出力電圧 VR とを比較する。基準電圧源 65 の出力電圧 VR は、当初、図 3 (c) に示すように、待機時検出上限電圧 VR1 となっている。スイッチング電源の出力に接続された負荷 109 への電流供給が小さくなる待機時の場合等においては、負荷への供給電流が低下すると、図 3 (a) に示すように、出力電圧 VO が上昇し、LED 107 によるフォトトランジスタ 110 の電流が増加する。この電流により制御端子 59 から流出する電流が増加するため、(式 1) により、図 3 (b) に示すように、I-V 変換器 27 からの変換電圧 VFB が上昇する。

【0065】

そして、この I-V 変換器 27 からの変換電圧 VFB が待機時検出上限電圧 VR1 よりも大きくなると、待機時検出状態（待機モード）となり、待機時検出用比較器 63 の出力信号 VO1 はハイレベルからローレベルに変化する。これにより、AND 回路 64 の出力はローレベルになり、ワンショットパルス発生回路 33 の信号が出力されないため、スイッチング素子 1 のスイッチング動作が停止する。このとき同時に、待機時検出用比較器 63 の出力信号 VO1 を受けて、基準電圧源 65 の出力電圧 VR は、図 3 (c) に示すように、待機時検出上限電圧 VR1 から待機時検出下限電圧 VR2 へ変更される。

【0066】

次に、スイッチング素子 1 によるスイッチング動作が停止して、スイッチング素子 1 がオフ状態になると、スイッチング素子 1 には電流が流れない状態になる。これにより、負荷 109 への電力供給がなくなるため、負荷 109 への出力電圧 VO は徐々に低下する。これにより、I-V 変換器 27 の出力電圧 VFB が徐々に低下するが、基準電圧源 65 の出力電圧は、待機時検出上限電圧 VR1 より

も低い待機時検出下限電圧 V_{R2} になっているため、図 4 に示すように、スイッチング素子 1 によるスイッチング動作が直ちに再開されることはない。

【0067】

そして、さらに負荷 109 への出力電圧 V_O が低下して、 $I-V$ 変換器 27 の出力電圧 V_{FB} が待機時検出下限電圧 V_{R2} より低下した時には、待機時検出用比較器 63 の出力信号 V_{O1} はハイレベルとなり、その信号を受け、間欠（停止）終了パルス発生回路 66 の出力信号が、OR 回路 34 に入力される。またこの時、同時に、AND 回路 64 により停止させていたトランスリセット検出回路 32 からワンショットパルス発生回路 33 への作用が有効となり、このワンショットパルス発生回路 33 の出力により、スイッチング素子 1 のオンオフ動作が再開される。このとき、同時に、基準電圧源 65 の出力電圧 V_R は、待機モード時の待機時検出下限電圧 V_{R2} から軽負荷モード時の待機時検出上限電圧 V_{R1} へ変更される。

【0068】

スイッチング素子 1 によるスイッチング動作が再開されると、スイッチング素子 1 のオンデューティは、待機時検出時の電流値よりも広がっているため、負荷 109 への電力供給は過剰となり、再び負荷への出力電圧 V_O が上昇し、 $I-V$ 変換器 27 の出力電圧 V_{FB} が上昇する。そして再び待機時検出されると、スイッチング素子 1 のオンオフの繰り返しによるスイッチング動作が停止する。

【0069】

このように、基準電圧源 65 からの出力電圧 V_R が、待機時検出することによって、待機時検出上限電圧 V_{R1} から待機時検出下限電圧 V_{R2} へと変化するため、待機時を検出している待機モードの期間は、スイッチング素子 1 のオンオフ動作を繰り返すスイッチング制御は、停止と再開とが繰り返されるといった間欠発振状態となる。

【0070】

負荷 109 への出力電圧 V_O は、この間欠発振の停止期間中に低下するが、この低下の度合いは負荷 109 への供給電流に依存する。つまり、負荷 109 の電流が小さくなるほど負荷 109 への出力電圧 V_O の低下が緩やかになり、間欠発

振の停止期間は負荷 109 の電流が小さいほど長くなるため、待機時になるほど、スイッチング素子 1 のスイッチング動作が減少することになる。

【0071】

図 5 は本実施の形態のスイッチング電源装置における待機時検出回路 71 の基準電圧源 65 の一構成例を示す回路図である。この基準電圧源 65 は、出力電圧 V_R を決定するための定電流源 300 と定電流源 301 および抵抗 303 と、P 型 MOSFET などのスイッチング素子 302 およびインバータ回路 304 とで構成されている。

【0072】

定電流源 300 は、定電流 I_1 を供給し、抵抗器 303 に接続されている。また、定電流源 301 は定電流 I_2 を供給し、スイッチング素子 302 を介して抵抗器 303 に接続されている。スイッチング素子 302 のゲートなどの入力端子には、待機時検出用比較器 63 の出力信号 VO_1 が、インバータ回路 304 を介して入力される。また、定電流源 300 および定電流源 301 と抵抗 303 で作られる電圧が、基準電圧源 65 の出力電圧 V_R として出力され、待機時検出用比較器 63 のマイナス入力へ入力されるようになっている。

【0073】

このように構成された基準電圧源 65 について、その動作を以下に説明する。

待機時検出前の状態においては、待機時検出用比較器 63 の出力信号 VO_1 はハイレベルとなっているため、スイッチング素子 302 はオンとなる。従って、この時の基準電圧源 65 の出力信号 V_R 、すなわち待機時検出上限電圧 V_{R1} は、次の式で表される。

$$V_R = R_1 \times (I_1 + I_2) = V_{R1} \quad \cdots \cdots \text{(式 2)}$$

一方、待機時検出状態になると、待機時検出用比較器 63 の出力信号 VO_1 はローレベルとなるため、スイッチング素子 302 がオフとなり、定電流源 301 から供給される電流 I_2 が抵抗 303 へ流れなくなる。従って、この時の基準電圧源 65 の出力信号 V_R 、すなわち待機時検出下限電圧 V_{R2} は次の式で表され

る。

$$V_R = R_1 \times I_1 = V_{R2} \quad \dots\dots (式3)$$

このように、待機時検出用比較器 63 の出力信号 V_{O1} に応じて、基準電圧源 65 の出力電圧 V_R が、待機時検出上限電圧 V_{R1} となったり、待機時検出下限電圧 V_{R2} となることで、待機時の間欠発振状態を作り出すことができる。

【0074】

なお、本実施の形態では、待機時検出用比較器 63 の出力信号 V_{O1} に応じて、基準電圧源 65 の出力電圧設定用の定電流値を変化させるようになっているが、待機時検出用比較器 63 の出力信号 V_{O1} に応じて、基準電圧源 65 の出力電圧設定用の抵抗値を変化させるようにしても良い。

【0075】

図 6 は本実施の形態のスイッチング電源装置における半導体装置（スイッチング制御部）の他の構成例を示す回路ブロック図である。この半導体装置では、待機時検出電圧を任意に設定するための端子 69 が設けられており、検出電圧変更手段である外付けの待機時検出電圧調整用の抵抗器 70 が外部に接続できるようになっている。その他の構成は、図 1 に示すスイッチング制御部の構成と同様になっている。

【0076】

待機時検出電圧調整用の抵抗器 70 は、基準電圧源 65 から出力される基準電圧 V_R を調整するために、待機時検出用比較器 63 のマイナス端子と基準電圧源 65 との間に設けられており、この抵抗器 70 の値を変化させることによって、待機時検出用比較器 63 のマイナス入力端子に入力される待機時検出電圧が調整される。

【0077】

このように、待機時検出電圧調整用の抵抗器 70 を設けて、待機時検出電圧 V_R を任意に調整することにより、待機時における必要とされる負荷にあわせて、スイッチング素子 1 のスイッチング動作が停止および再開する際の負荷電流を、

最適に調整することができる。

【0078】

なお、本実施の形態では、通常モード、軽負荷モード、待機モードと三段階にモードを変えているが、通常モードと待機モードの二段階の制御としても構わない。

【0079】

【発明の効果】

以上のように本発明によれば、待機時にスイッチング素子のオンオフ動作の繰り返しであるスイッチング動作を停止および再開するための待機時検出回路を備えているため、その待機時検出回路により、I-V変換器の出力電圧が、基準電圧源からの待機時検出上限電圧よりも大きくなった待機モード開始時点で、スイッチング素子のスイッチング動作を停止させ、その停止により、I-V変換器の出力電圧が、電源出力電圧とともに下降して、基準電圧源からの待機時検出下限電圧よりも小さくなった時点で、スイッチング素子のスイッチング動作を再開させることができる。

【0080】

そのため、待機時におけるスイッチング動作期間を減少し、スイッチング動作時における電流損失を軽減することができ、電源出力の待機時消費電力を削減し、電源効率を改善することができる。

【0081】

また、待機時検出電圧を任意に設定する検出電圧変更手段を設けることにより、待機時における必要とされる負荷にあわせて、スイッチング素子のスイッチング動作が停止および再開する際の負荷電流を最適に設定することができる。

【0082】

そのため、待機時におけるスイッチング動作が停止および再開する際の電流損失を軽減することができ、電源出力の待機時消費電力を削減し、電源効率を改善することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態のスイッチング電源装置におけるスイッチング制御部の一構成例を示す回路ブロック図

【図 2】

本発明の実施の形態のスイッチング電源装置の一構成例を示す回路ブロック図

【図 3】

同実施の形態のスイッチング電源装置の動作を示すタイムチャート

【図 4】

同実施の形態のスイッチング電源装置における基準電圧源の動作を示すタイムチャート

【図 5】

同実施の形態のスイッチング電源装置における基準電圧源の一構成例を示す回路図

【図 6】

同実施の形態のスイッチング電源装置におけるスイッチング制御部の他の構成例を示す回路ブロック図

【図 7】

従来のスイッチング電源装置におけるスイッチング制御部の一構成例を示す回路ブロック図

【図 8】

同従来例のスイッチング電源装置における I-V 変換器周辺の構成を示す回路図

【図 9】

同従来例のスイッチング電源装置の一構成例を示す回路ブロック図

【図 10】

同従来例のスイッチング電源装置の動作を示すタイムチャート

【符号の説明】

1 スイッチング素子

2、4、11、13、23、44、47 定電流源

3、5、45、46 スイッチ

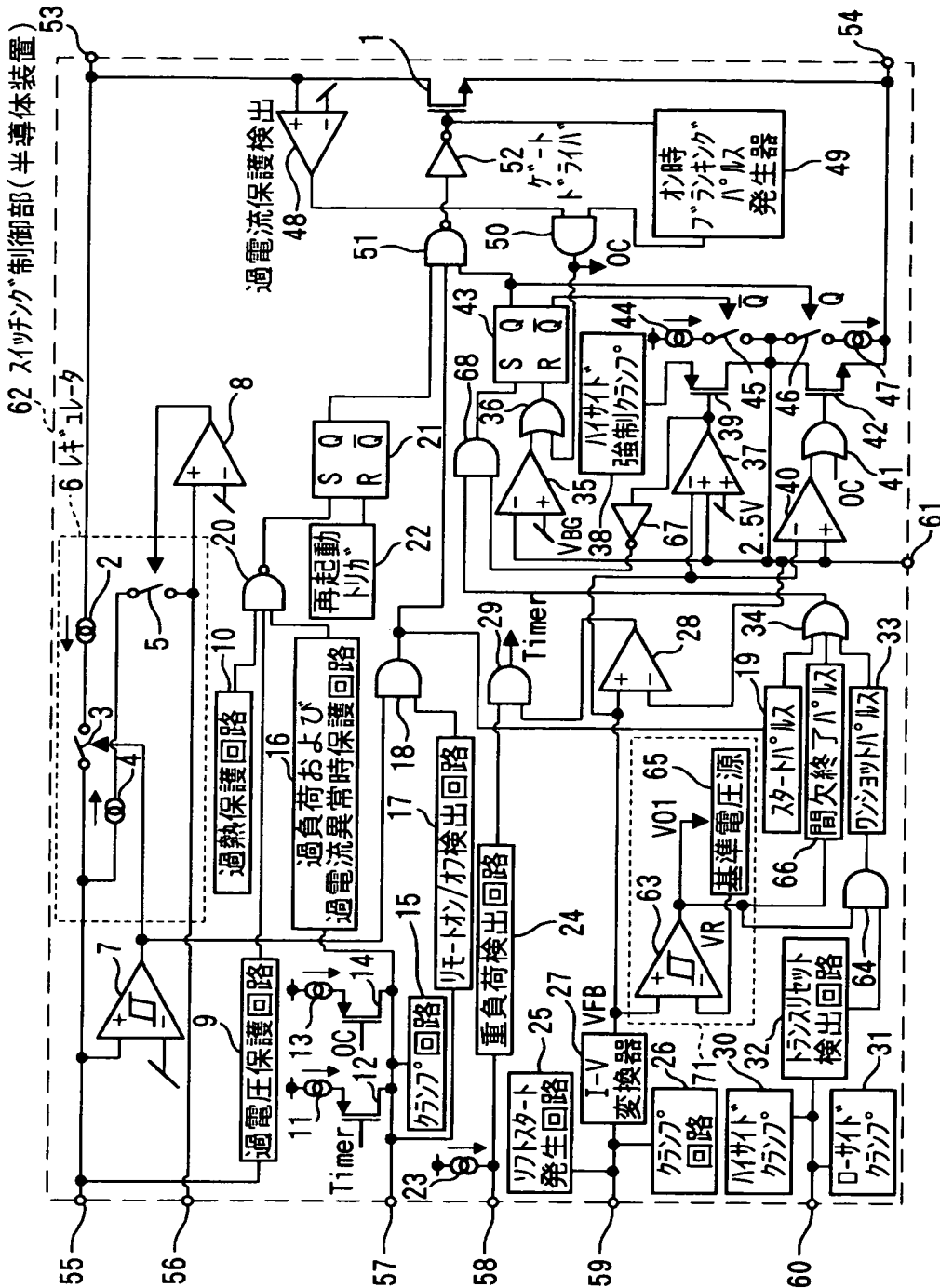
- 6 レギュレータ
- 7 起動／停止用比較器
- 8 レギュレータ用比較器
- 9 過電圧保護回路
- 10 過熱保護回路
- 12、14、39 P型MOSFET
- 15 クランプ回路
- 16 過負荷および過電流異常時保護回路
- 17 リモートオン／オフ検出回路
- 18、29、50、64、68 AND回路
- 19 スタートパルス発生回路
- 20、51 NAND回路
- 21、43 RSフリップフロップ
- 22 再起動トリガ
- 24 重負荷検出回路
- 25 ソフトスタート発生回路
- 26 クランプ回路
- 27 I-V変換器
- 28、35、37、40 比較器
- 30 ハイサイドクランプ
- 31 ローサイドクランプ
- 32 トランスリセット検出回路
- 33 ワンショットパルス発生回路
- 34、36、41 OR回路
- 38 ハイサイド強制クランプ
- 42 N型MOSFET
- 48 過電流保護検出用比較器
- 49 オン時ブランキングパルス発生回路
- 52 ゲートドライバ

- 53 スイッチング素子1の入力端子
- 54 スイッチング素子1の出力端子(グランド端子)
- 55 バイアス巻線電圧入力端子
- 56 半導体装置(スイッチング制御部)の電源端子
- 57 コンデンサ接続端子
- 58 過負荷検出用抵抗接続端子
- 59 半導体装置(スイッチング制御部)の制御端子
- 60 トランスリセット検出端子
- 61 スイッチング周波数決定用コンデンサ接続端子
- 62 半導体装置(スイッチング制御部)
- 63 待機時検出用比較器
- 65 基準電圧源
- 66 間欠終了パルス発生回路
- 67 インバータ回路
- 69 基準電圧源変更用端子
- 70 抵抗器
- 71 待機時検出回路
- 101、104、113 整流器
- 102、105、111、112、114、116、117 コンデンサ
- 103 トランス
- 103a (トランスの)一次巻線
- 103b (トランスの)二次巻線
- 103c (トランスの)バイアス巻線
- 106 出力電圧検出回路
- 107 LED
- 108 ツェナーダイオード
- 109 負荷
- 110 フォトトランジスタ
- 115 過負荷検出用抵抗

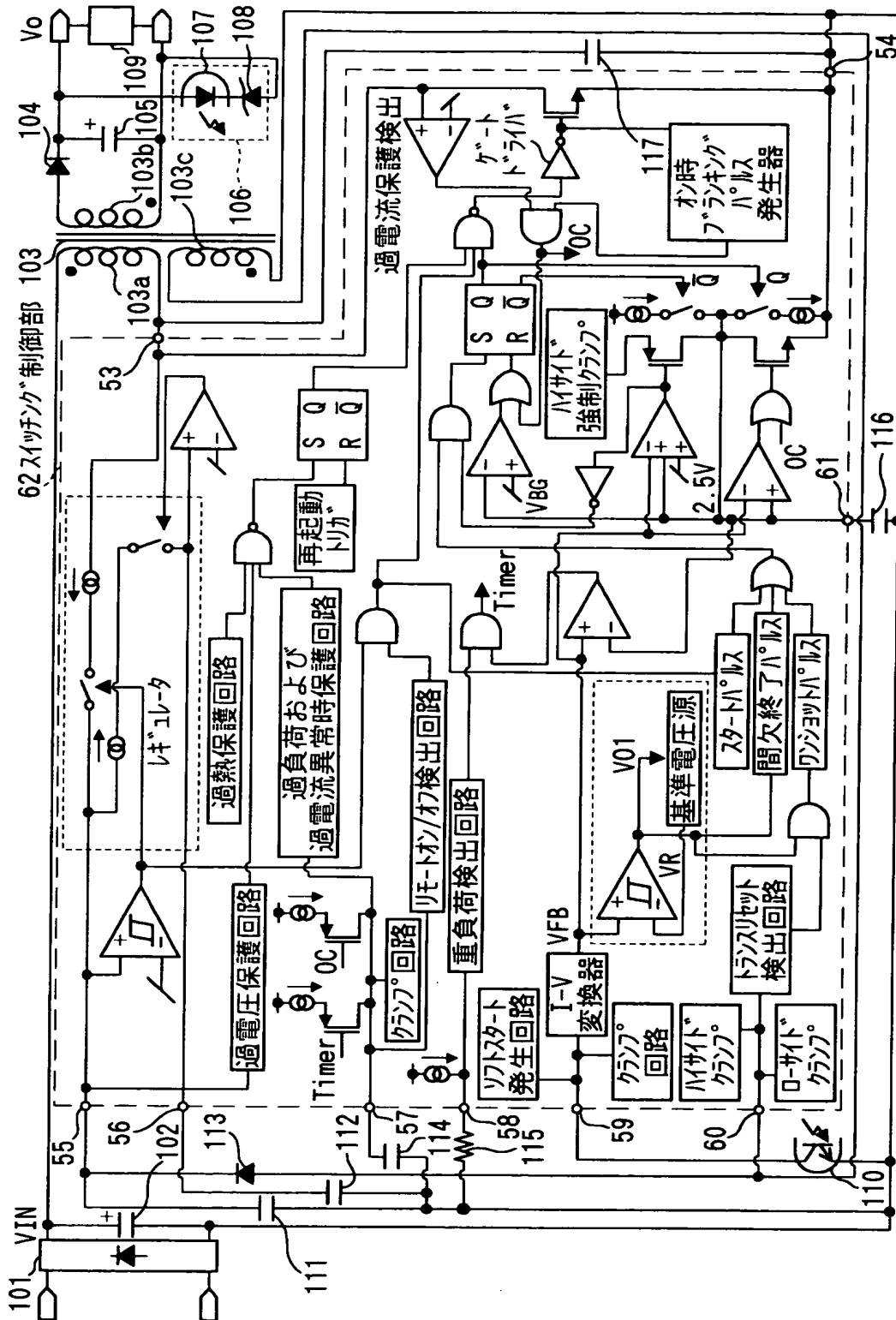
【書類名】

図面

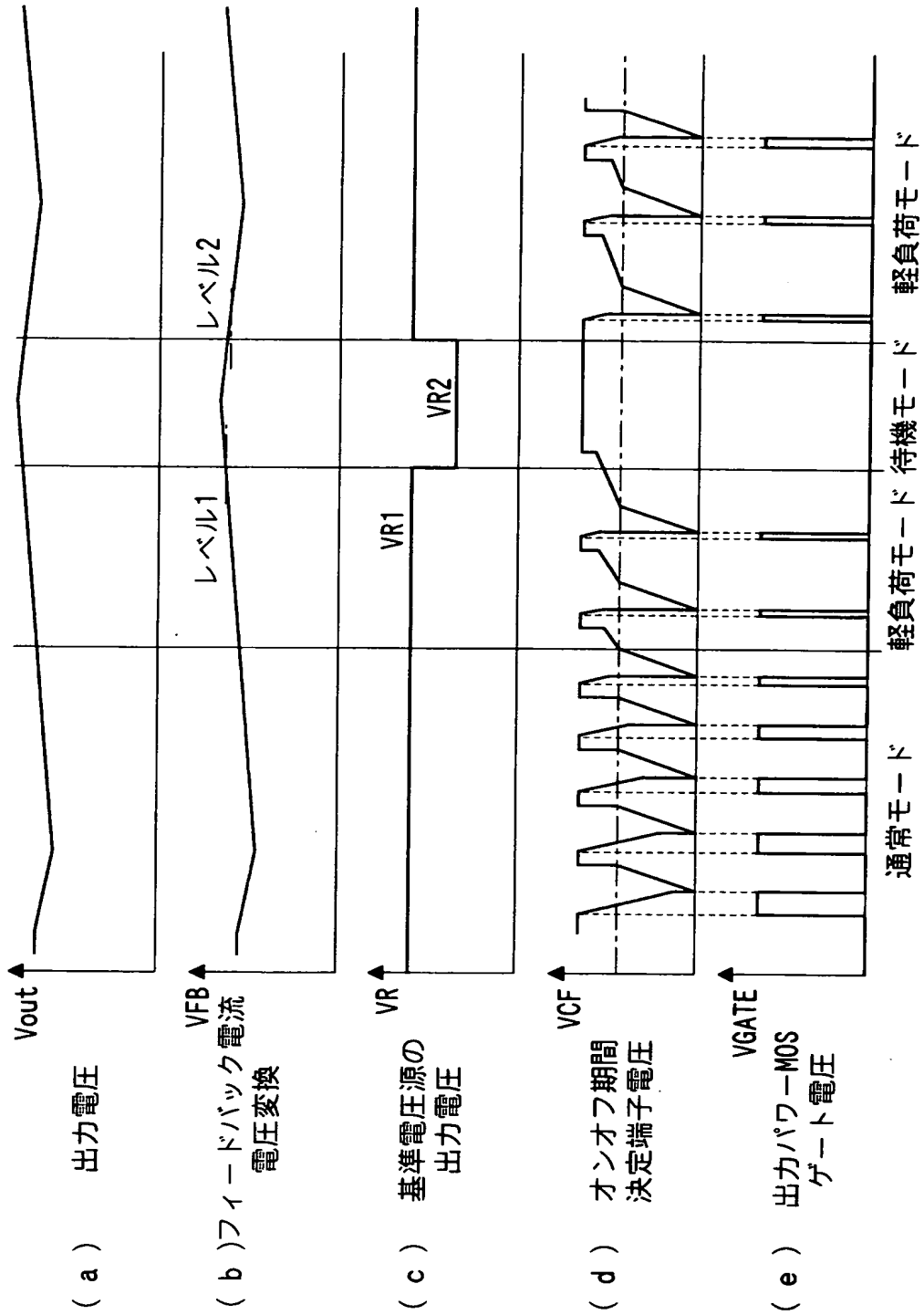
【図1】



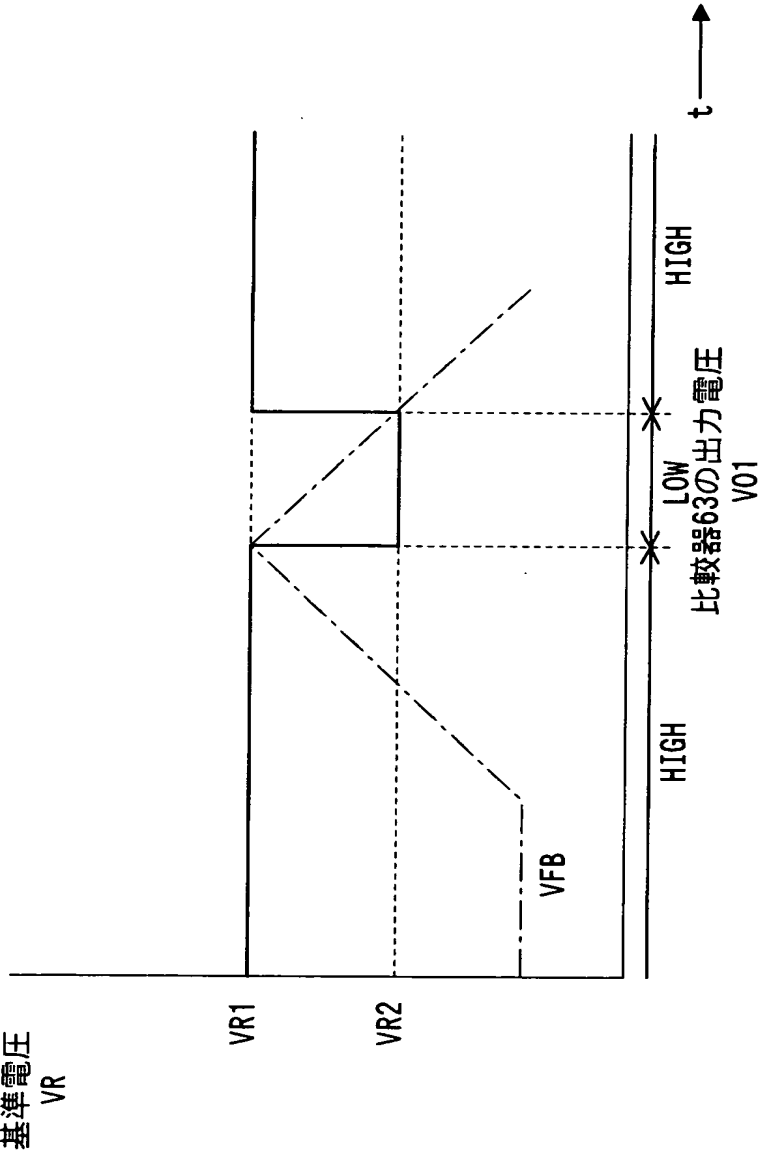
【図2】



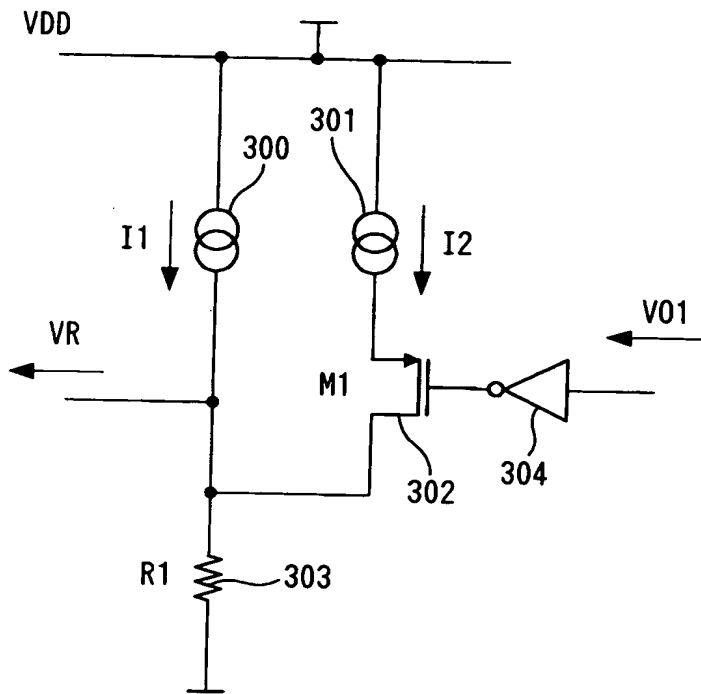
【図 3】



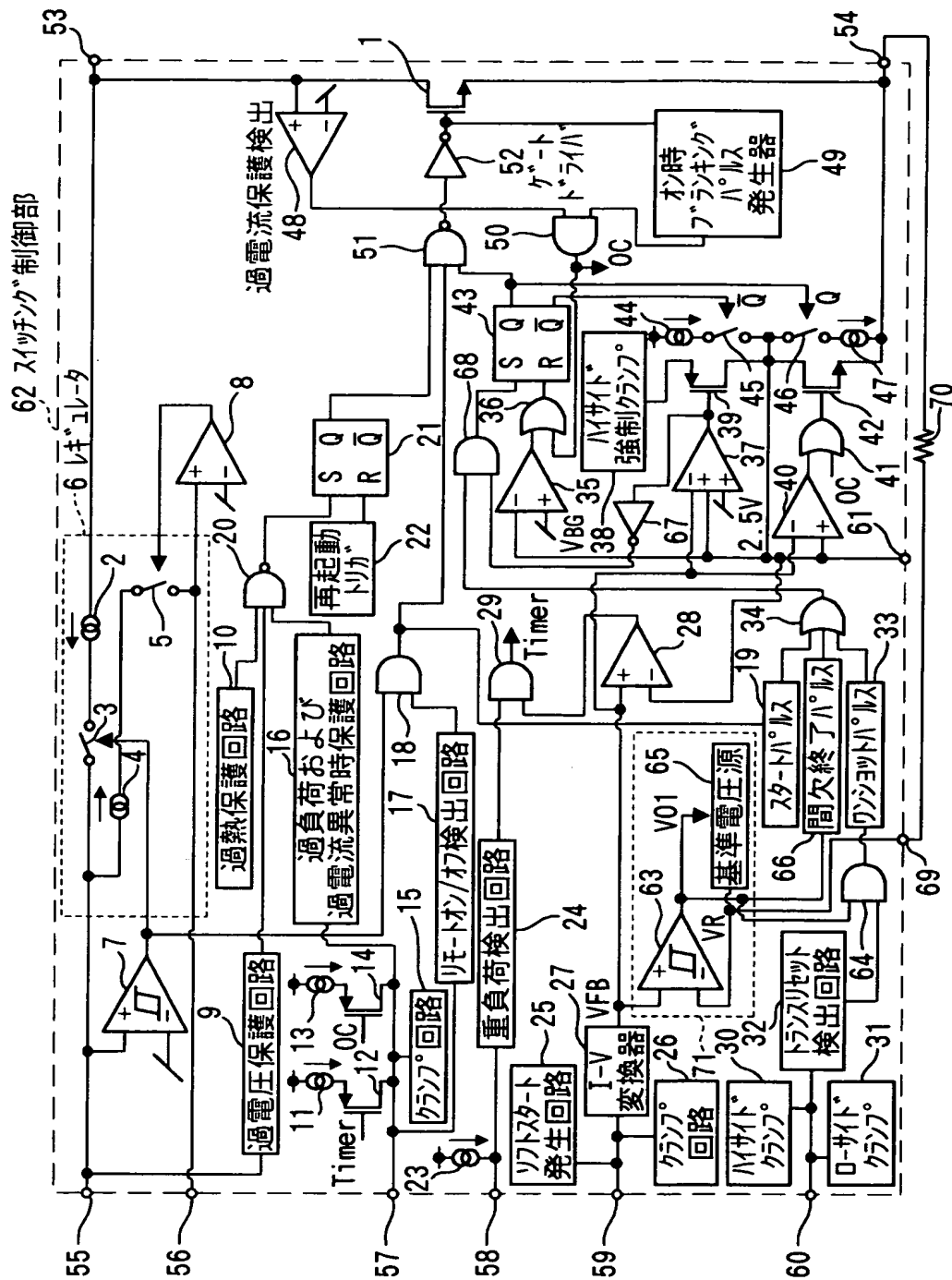
【図 4】



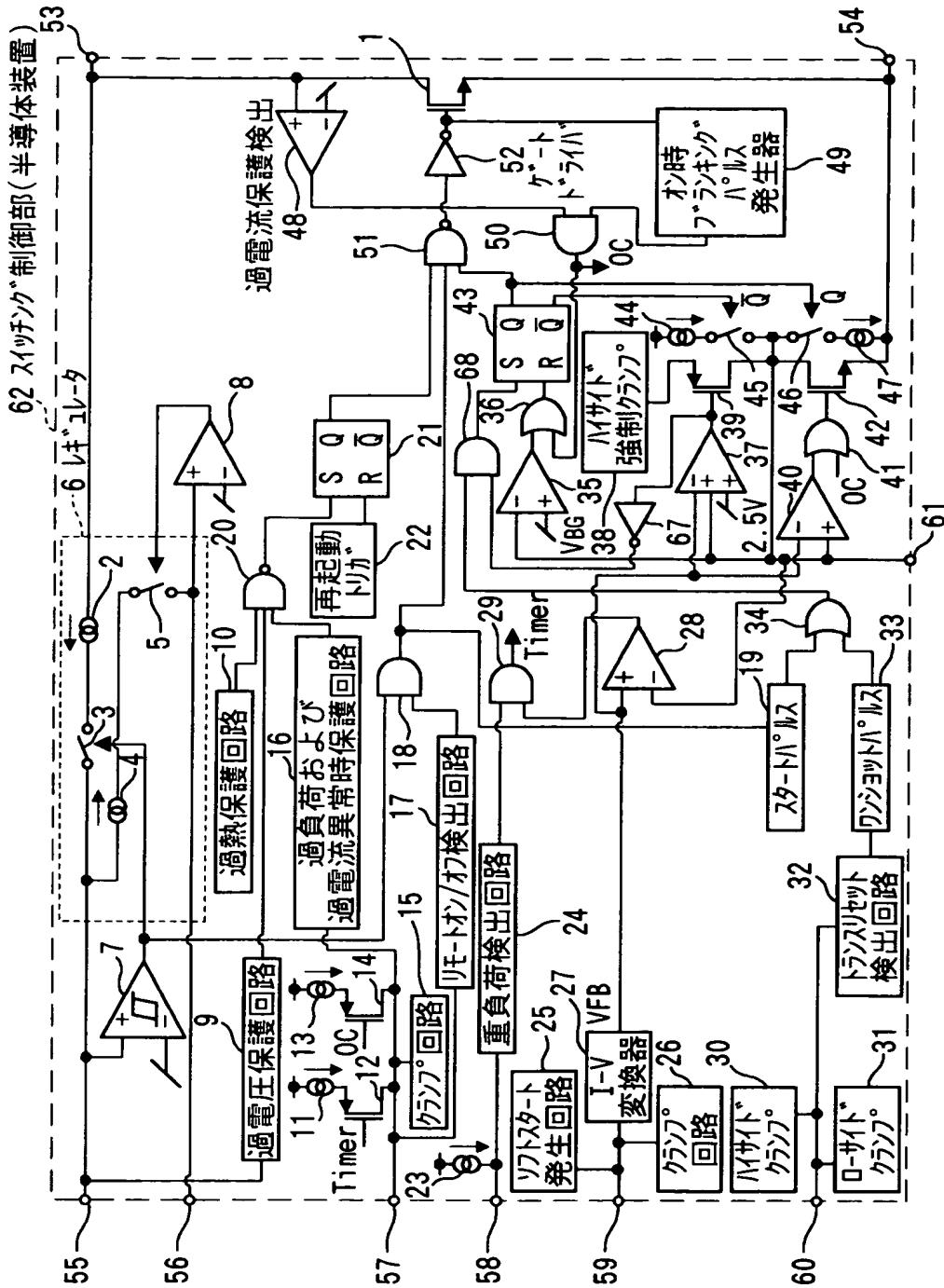
【図 5】



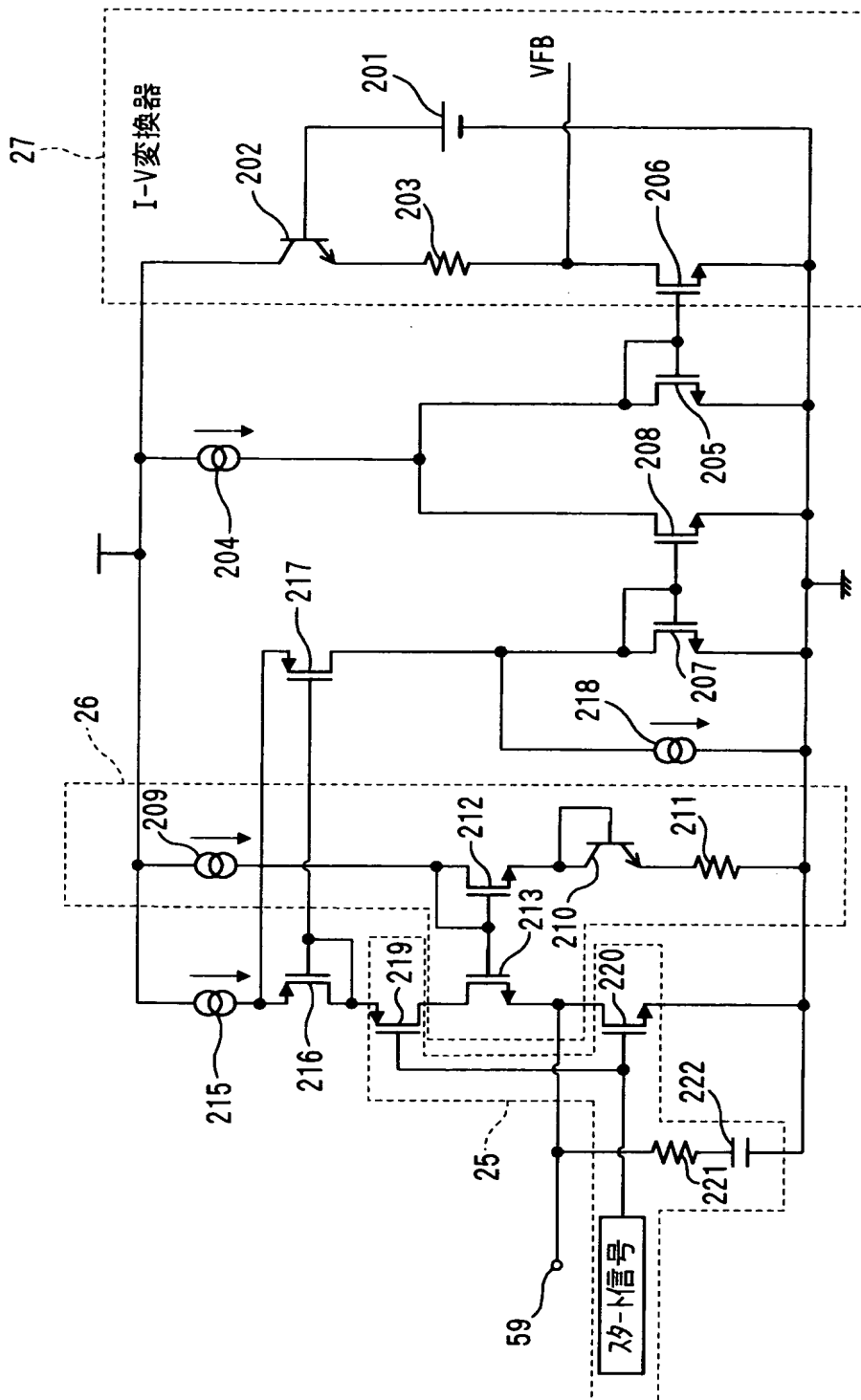
【図 6】



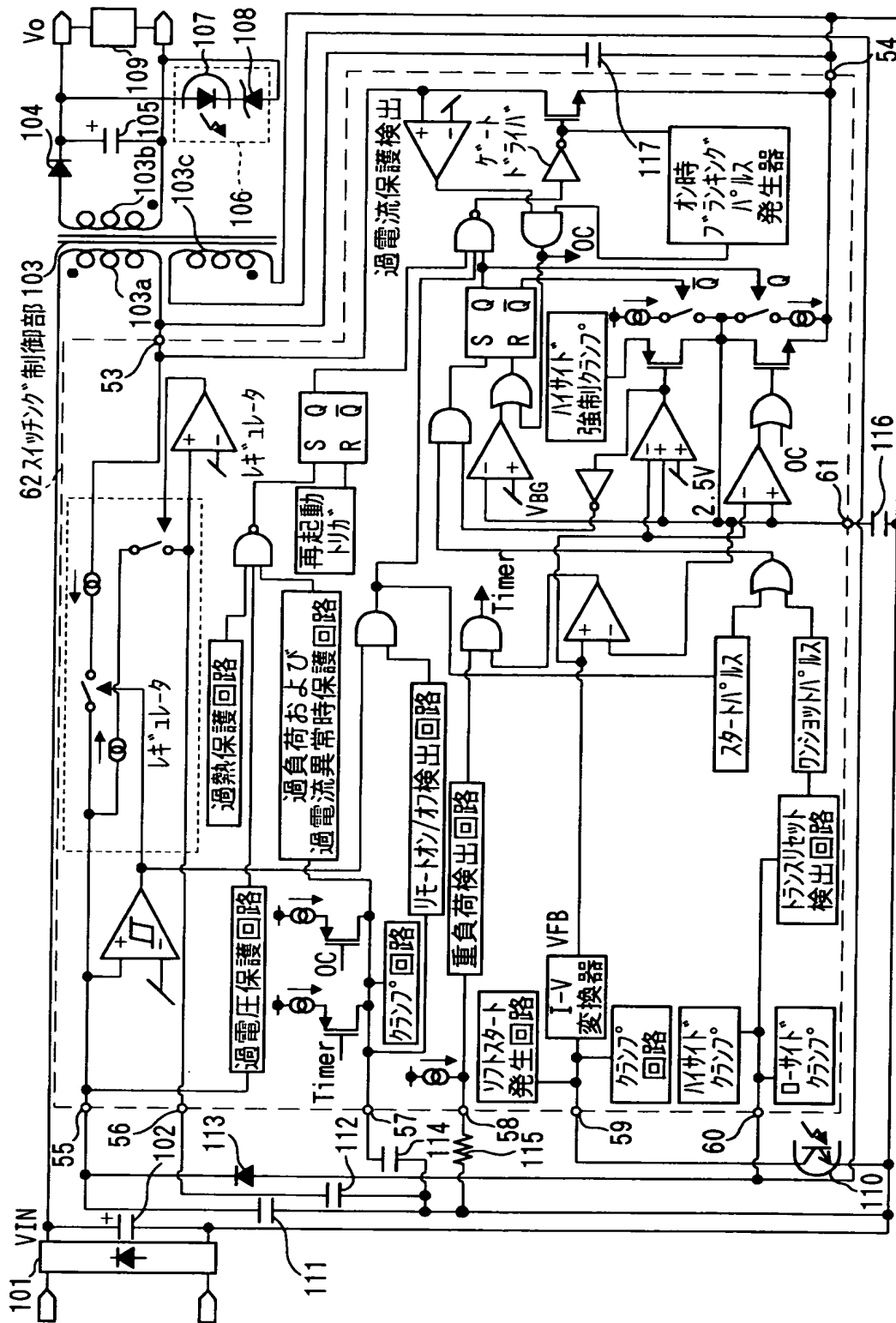
【図7】



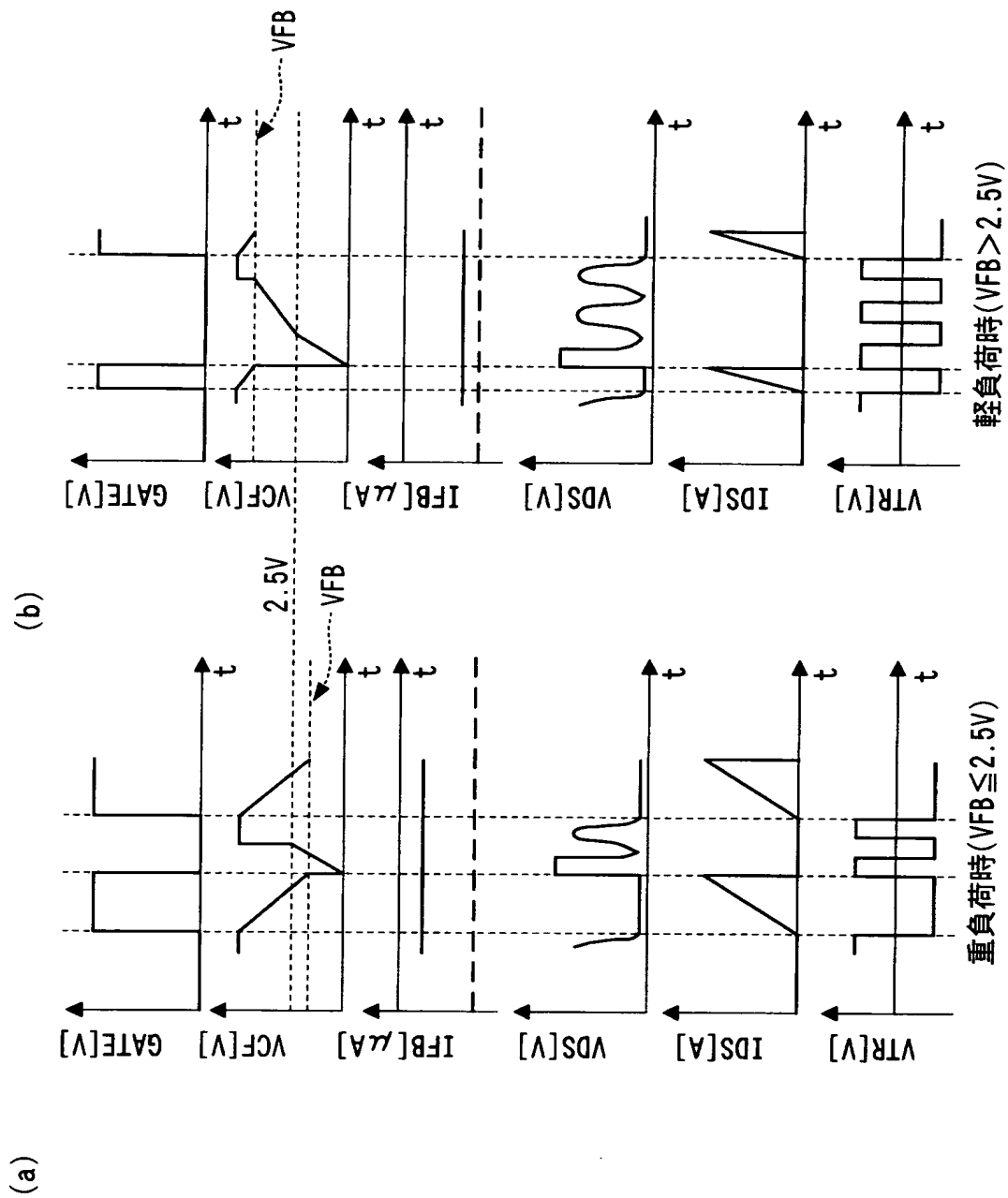
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 待機時の消費電力を削減し、電源効率を改善することができるスイッチング電源装置を提供する。

【解決手段】 $I-V$ 変換器 27 の出力電圧 V_{FB} が、基準電圧源 65 からの待機時検出上限電圧よりも大きくなった待機モード開始時点で、スイッチング素子 1 のスイッチング動作を停止させ、その停止により、 $I-V$ 変換器 27 の出力電圧 V_{FB} が、電源出力電圧 V_O とともに下降して、基準電圧源 65 からの待機時検出下限電圧よりも小さくなった時点で、スイッチング素子 1 のスイッチング動作を再開させる。

【選択図】 図 1

特願 2 0 0 2 - 3 6 9 0 8 6

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 8 日

[変 更 理 由]

新 規 登 録

住 所

大 阪 府 門 真 市 大 字 門 真 1 0 0 6 番 地

氏 名

松 下 電 器 産 業 株 式 会 社